

Circuit / Semiconductor

# New structure transistors for advanced technology node CMOS ICs

Qingzhu Zhang, Yongkui Zhang, Yanna Luo and Huaxiang Yin

National Science Review

# Contents

**01** Introduction

**02** Motivation & Fundamentals

**03** Evolution Timeline

**04** GAAFET & Variants

**05** CFET and 3D Stacking

**06** Key process % System Challenges

**07** Conclusions & Future Directions

# 01 Introduction

---

## 발표의 목적

1. 구조적 변화는 왜 필요한가?
2. 주요 대안 구조들의 원리와 장단점 이해
3. 실무적·연구적 난제와 향후 방향을 학부 수준에서 이해하는 것

# 02 Motivation & Fundamentals

---

## 반도체 구조적 혁신이 필요한 이유

1. 반도체를 더 작고 빠르게 만들기 위해서는 단순히 크기만 줄이는 것이 아니라 소자 구조 자체를 바꿔야 함
  - 게이트로 채널을 더 많이 둘러싸거나, 소자들을 수직으로 적층하는 방식이 필요
2. Dennard-style geometric scaling 이 한계에 도달하면서 전력 제약이 주요한 제약조건이 됨
3. 1-nm 근처에서는 기하학적 축소만으로는 한계가 분명해 수직 적층  
(예: CFET, 3DS, vertical FET)이 집적도 향상의 혁신적 경로로 제시됨

# 02 Motivation & Fundamentals

스케일 길이  $\lambda$ 와 게이트 수의 관계

트랜지스터가 작아질 때 문제는 전계 제어가 약해져 채널을 켜다 끄는 능력이 떨어지는 것

이를 정량화하는 척도가 자연 스케일 길이  $\lambda$ (게이트 전계가 채널 제어력을 유지하는 유효 거리)

게이트 수  $n$ 이 증가하면  $\lambda$ 가 작아지고, 이것이 다중 게이트(예: FinFET, GAA)가

단채널 효과(SCE)를 줄이는 이유

$$\lambda_{\text{MOSFET}} = \sqrt{\frac{\epsilon_{\text{Si}} t_{\text{Si}} t_{\text{ox}}}{n \epsilon_{\text{ox}}}}, \quad n = 1, \dots, 4$$

# 02 Motivation & Fundamentals

## $SS$ 와 $DIBL$

게이트 수  $n$ 이 증가하면  $SS$ 에 영향을 주는 항이 줄어들어 스위칭이 좋아지고,  $\lambda$ 가 작을수록  $DIBL$ 이 줄어들게 되고, 이에 따라 드레인 전압이 문턱 전압에 미치는 영향이 줄어들어 성능이 증가함

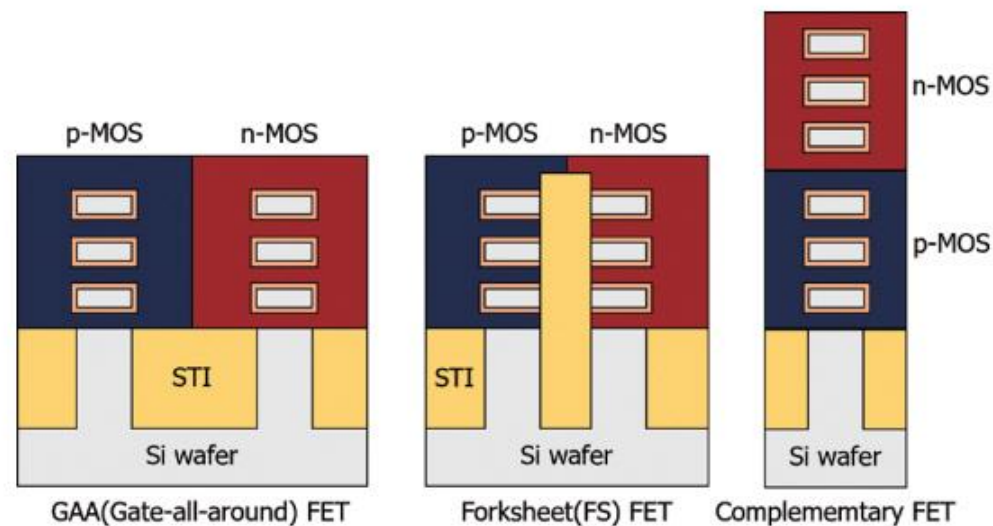
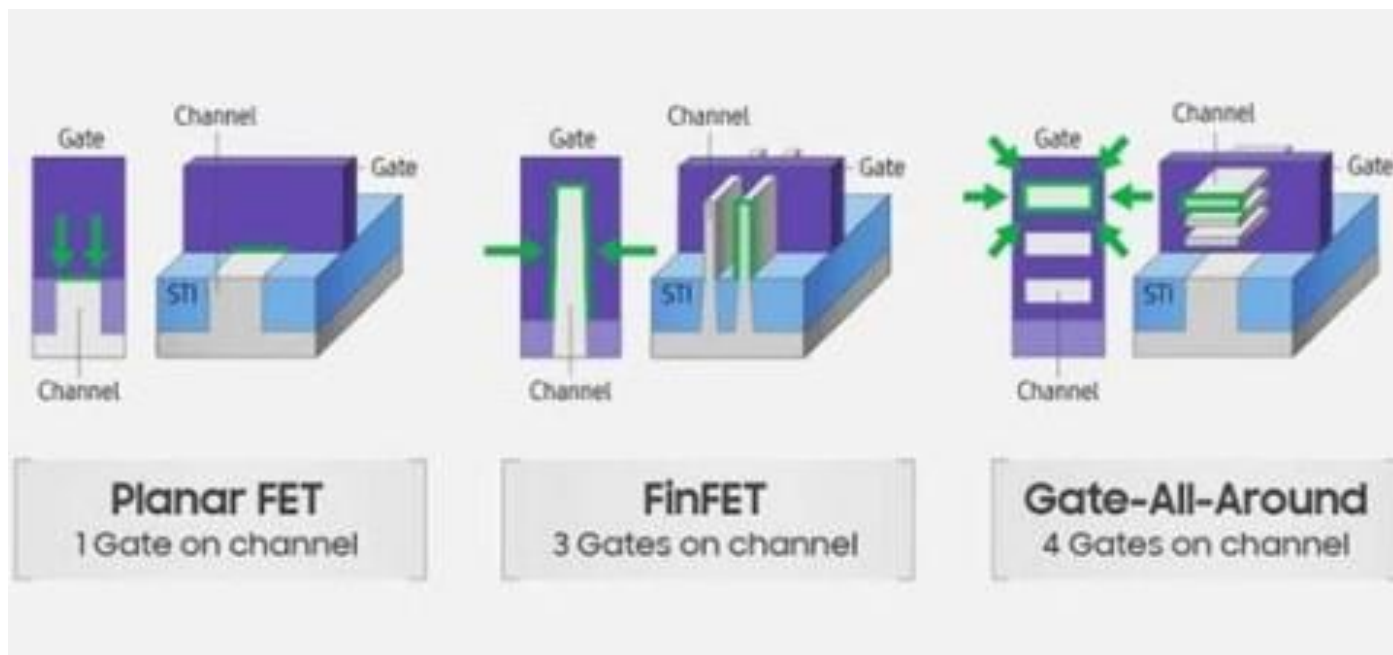
$$SS = 60 \left( \frac{1 + n\lambda_{\text{MOSFET}}^2}{t_{\text{Si}}} \right)$$

$$DIBL = \alpha \frac{\lambda_{\text{MOSFET}}^2}{L_{\text{eff}}^2} \left( 1 + \frac{x_j^2}{L_{\text{eff}}^2} \right) V_{DS}$$

# 03 Evolution Timeline

## 트랜지스터 구조의 역사

평면 구조(Planar) -> FinFET -> GAAFET -> CFET/3DS or Vertical FET



# 04 GAAFET & Variants

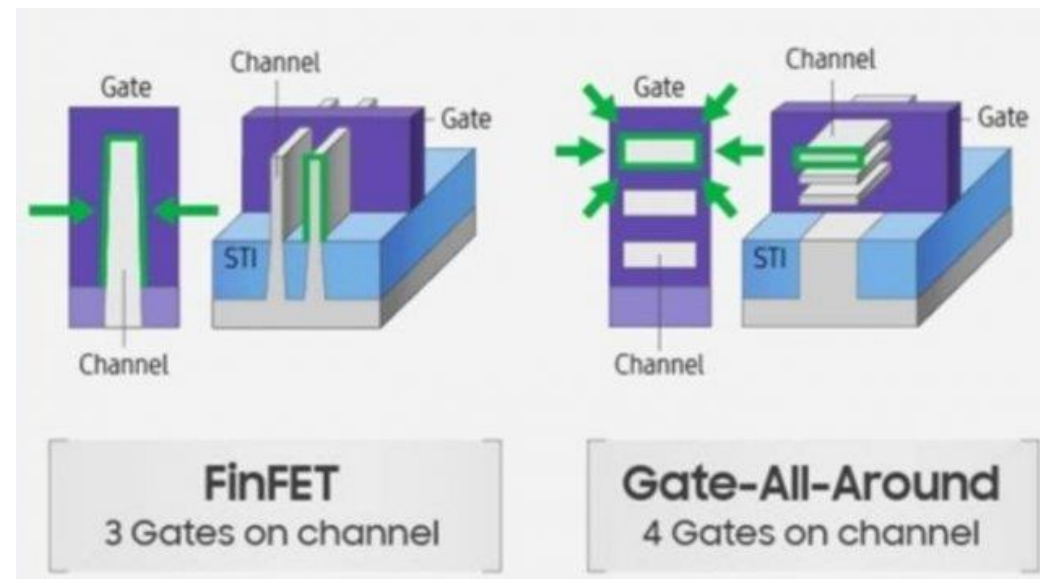
## GAAFET : What & Why?

GAAFET(GATE-ALL-AROUND)은, 채널을 게이트가 완전히 둘러싸는 구조

왜 필요한가? -> FinFET의 한계를 넘어서는 강한 전계 제어 -> 작은 SS, 낮은 DIBL, 더 많은 유효 채널 폭

실제 산업 적용 사례 : IBM, Samsung(3nm GAA 플랫폼 상용화), IMECAS 등

핵심은 결국, 전기적 제어와 채널 쌓기로 인한 면적당 기능 향상



# 04 GAAFET & Variants

## GAAFET : Fabrication Overview & Key Modules

간략한 공정 과정 : epitaxy(층별 박막 성장, 기초 구조 제공) → fin etch(채널, 핀, 스택의 3D 형상 정의하여 소자 형상과 게이트 영역 확보) → cavity etch (게이트가 채널을 둘러쌀 수 있는 공간 생성) → inner spacer(기생 커패시턴스 상쇄를 위해 얇은 절연 스페이서 형성) → dummy gate removal (보호를 위해 채웠던 더미 게이트 제거) → HKMG(게이트 채워 채널 결정) → contacts(접합)

공정 과정은 아주 섬세하고 어려운 편

# 04 GAAFET & Variants

---

## GAAFET : Benefits and Manufacturing Challenges

### Challenges

1. SiGe epitaxy 품질, SiGe 선택적 식각의 높은 선택도 요구
2. 복잡한 inner – spacer 공정(주요 단계만 10단계)

### Benefits

1. 강한 전계 제어(Lower SS, Lower DIBL)
2. 단위 면적당 이온 집적도 높음
3. FinFET과의 연결고리(개발 로드맵 존재)

# 04 GAAFET & Variants

---

## GAA Variants — Designs to Improve Density & Matching

Forksheet FET : Stacked NS + 절연벽으로 n-p간 간격 축소

TreeFET/Fishbone : NS와 Nano-fin interbridge 결합으로 전류 증대 및 균형 향상

CombFET : FinFET과 NS 결합 구조 - 더 높은 드라이브 전류 기대

이들 각각의 주요 특징이 중요하다기보다는, GAA의 장점을 유지하면서 SRAM 등의 레이아웃 목표에 맞추려는 **구조적 타협 시도**가 중요한 부분

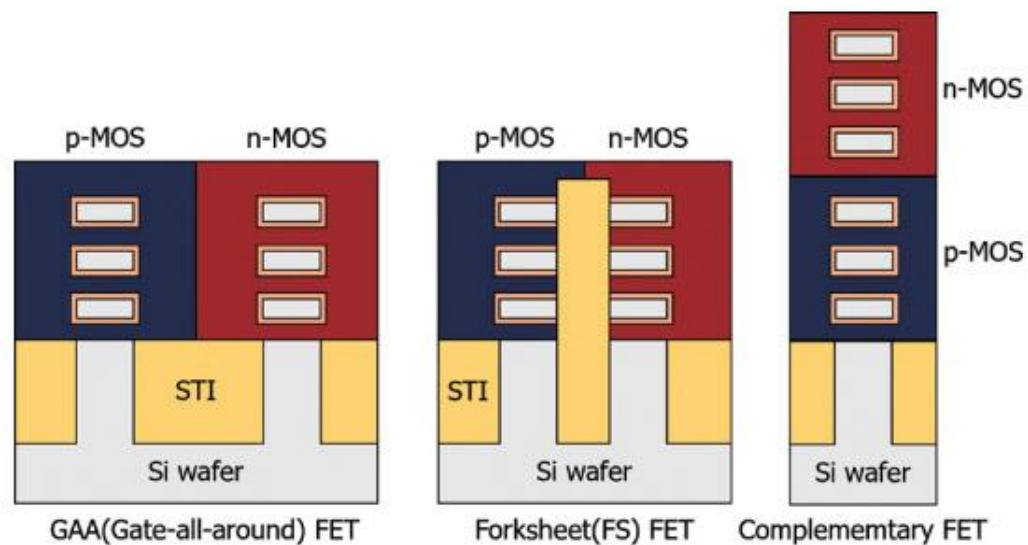
# 05 CFET / 3D Stacking

## CFET / 3D Stack: Concept & Why it matters

CFET 정의: 서로 다른 극성(n/p) FET를 **수직으로 적층한 소자**

핵심 이득: **n-to-p 수평 간격을 수직으로 변환**해 셀 높이(트랙 수)를 크게 줄임 → **집적도(용량) 증가**

추가 이득: **서로 다른 채널 재료 선택 가능**(예: Si bottom, Ge/2DM/CNT top)로 n/p 최적화 가능



# 05 CFET / 3D Stacking

---

## CFET Fabrication Strategies — Sequential vs Monolithic

**Sequential CFET**: 하층을 완성한 뒤 상층을 따로 공정하여 적층

장점: 공정·재료 유연성

단점: 높은 비용·열 예산 제한, 두께 절연 필요

**Monolithic CFET**: 동일 웨이퍼 위에서 상/하층을 연속 공정으로 형성

장점: 더 콤팩트·self-aligned gate, 낮은 기생

단점: 공정 복잡성·중간 공정 모듈 다수 필요

# 05 CFET / 3D Stacking

---

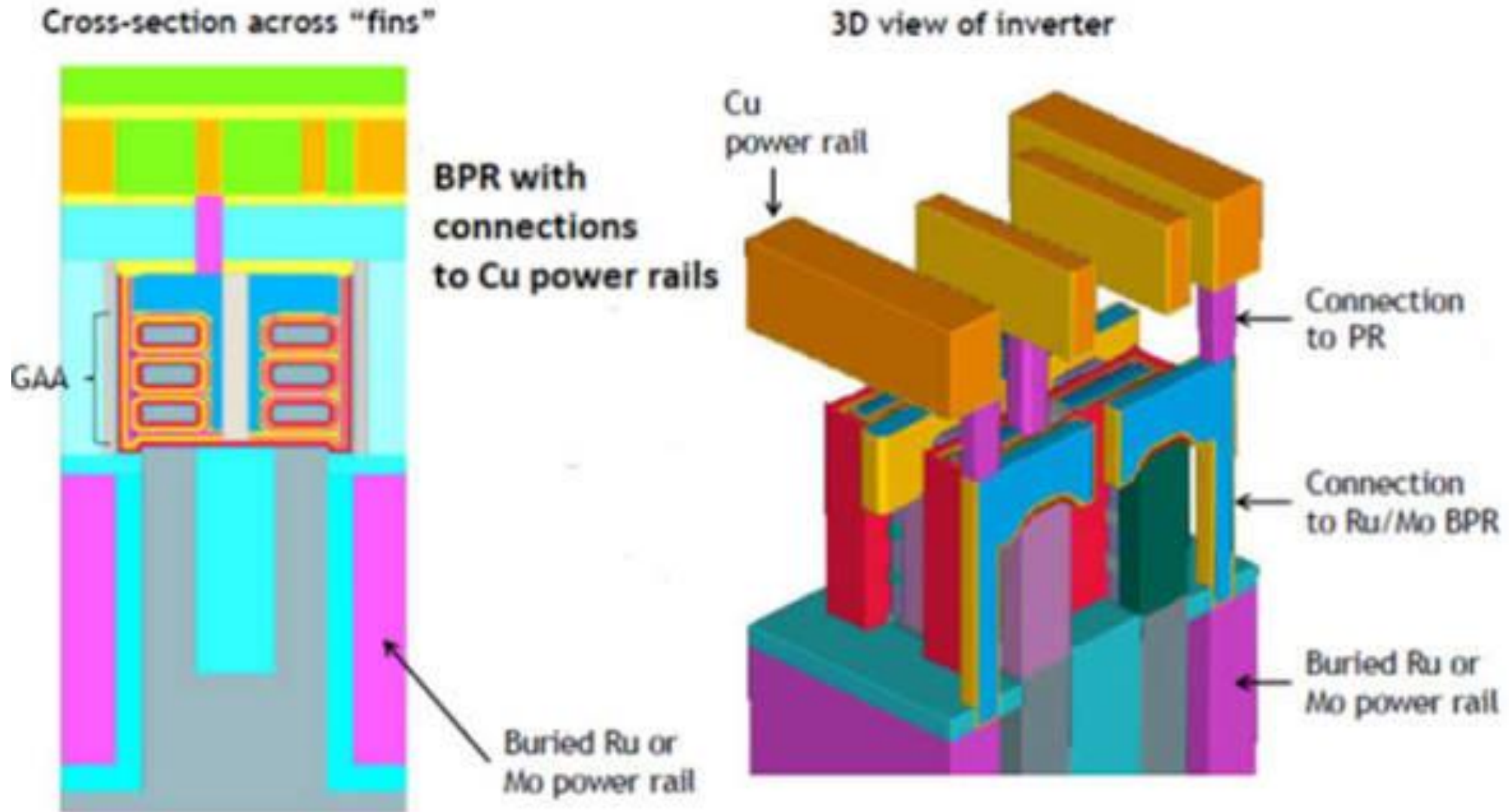
## DTCO, Circuit Impact & Major Challenges

DTCO (Design-Technology Co-Optimization) 란 : 반도체 개발 초기 단계부터 설계(Design)와 제조 공정(Technology)을 **동시에 고려하여 성능을 극대화**하는 방법론

DTCO 필요성: 소자·공정·레이아웃·회로를 함께 최적화해야 실질적 **PPA 이득 실현**

디바이스 SPICE 모델 추출 → 레이아웃 규칙 최적화 → SRAM/standard-cell 평가의 순환 과정이 필요

# 05 CFET / 3D Stacking



# 06 Vertical Transistors

---

## Vertical Transistors — Concept and Advantages

개념: 채널이 웨이퍼면에 **수직(세로)으로 놓인 트랜지스터** — 게이트 길이는 수직 두께로 결정

주요 장점: 수평 면적 절감, LG 결정이 수직 두께에 의해 이루어져 면적·채널 크기 제약 완화,

ZDB(zero-diffusion break)로 셀 면적 추가 절감 가능

한 줄 요약: **수평 스케일링 한계를 보완하는 또 다른 경로**(수직 방향으로 집적도 향상)

# 06 Key Process & System Challenges

---

## Key Process & System Challenges — Overview

1. High-quality epitaxy & selective etch
2. Inner-spacer formation & HK/MG fill (multi-VT)
3. Parasitic resistance / capacitance and sub-fin leakage
4. 3D interconnects, isolation & thermal budget for stacked devices
5. Thermal management & reliability / yield

GAA, CFET, vertical 소자들은 전기적 이득이 크지만, 실용화하려면 위에 열거한 여러 공정·시스템 과제를 동시에 해결해야 함 -> 하나하나 살펴보기

# 06 Key Process & System Challenges

## Epitaxy & Selective Etch – Channel Quality & Selectivity

역할: Si/GeSi superlattice 등 고품질 박막 성장으로 채널·분리층 형성

문제: 낮은 성장온도( $< 650\text{ }^{\circ}\text{C}$ )에서 두께·조성·결함 균일성 확보가 어려움; SiGe 제거 시 Si 손상 방지를

위한 매우 높은 선택비( $> 100:1$ ) 필요

해결 방향: 공정 제어(온도·압력·전구체)

정밀화, 원자층 수준 식각 기술(ALE) 적용

|        | Gen. I                                                      | Gen. II                                                   | Gen. III                                                   |
|--------|-------------------------------------------------------------|-----------------------------------------------------------|------------------------------------------------------------|
| 표면 반응  |                                                             |                                                           |                                                            |
| 열처리 방식 |                                                             |                                                           |                                                            |
| 특징     | 느린 식각 반응,<br>지속 공정처리 시간,<br>동일 반응기內 공정<br>(개질화 및 식각 @ 동일온도) | 빠른 식각 반응,<br>지속 공정처리 시간,<br>개별 반응기 공정<br>(개질화@저온 ↔ 식각@고온) | 빠른 식각 반응,<br>고속 공정처리 시간,<br>동일 반응기內 공정<br>(개질화@저온 및 식각@고온) |

# 06 Key Process & System Challenges

## Inner-Spacer & HK/MG – Parasitics and VT Control

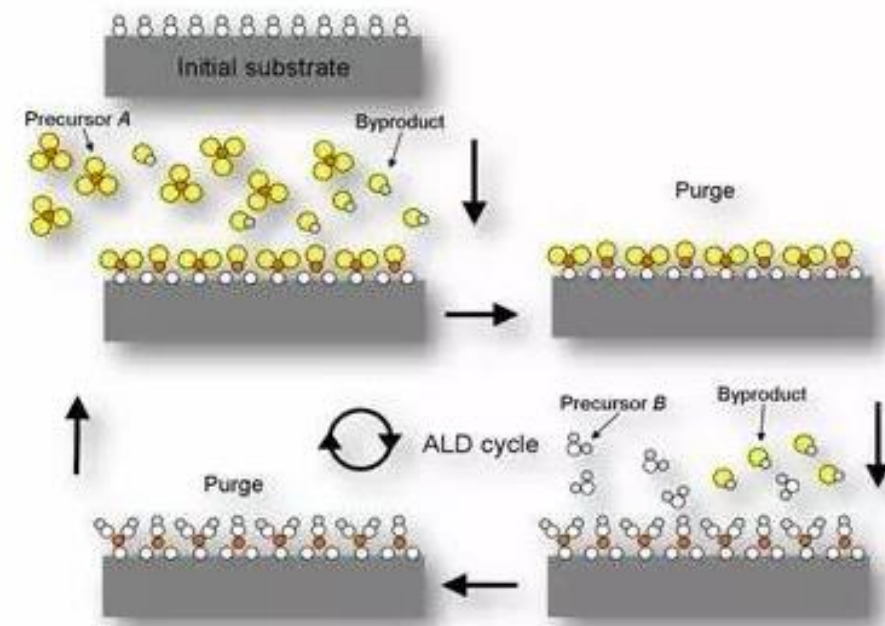
역할: Inner-spacer는 gate $\leftrightarrow$ S/D 기생 커패시턴스(C) 감소 목적

문제: inner-spacer 공정은 > 10 단계의 정밀 공정으로 초박막 균일 충전·선택적 식각 요구; HKMG

채움과 multi-VT 조정(인터페이스 dipole 등)도 어려움

해결 방향(간단): 초정밀 ALD/ALD-like 충전,

인터페이스 공학(La/Al dipole) 및 저온 공정 개발

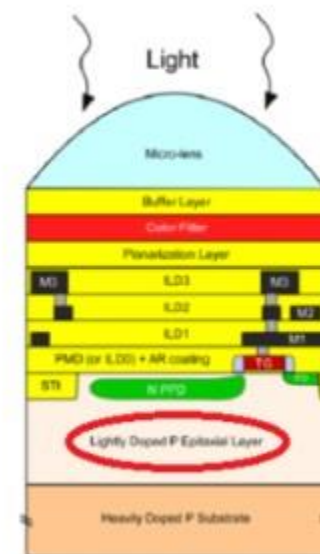
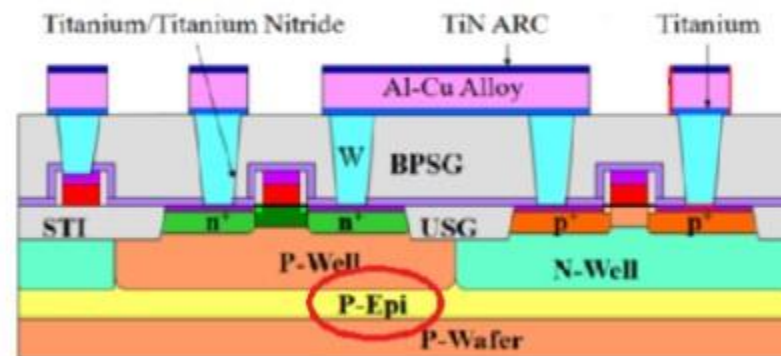


# 06 Key Process & System Challenges

## Parasitic Resistance/Capacitance & Sub-fin Leakage

역할/문제: 선택적 epi·landing pad의 미비는 S/D의 기생 저항(R) 증가; sub-fin 영역의 parasitic leakage('fat-fin')는 IOFF 증가와 SS 저하 유발

해결 방향: GP(ground plane) doping 최적화,  
narrow sub-fin 설계, 효율적 landing pad  
및 낮은 저항 S/D 에피택시



# 06 Key Process & System Challenges

---

## 3D Interconnects, Isolation & Thermal Budget

문제: CFET·monolithic 3D는 FEOL/MOL/BEOL **경계가 혼합** → 상/하층 간 절연·오버레이·금속 오염 관리·중간층 비아의 **고종횡비 형성이 필요**

Thermal budget: 상층 공정은 하층 소자의 안정성을 해치지 않도록 **낮은 열 예산 필요**(특히 sequential 통합 시)

해결 방향: 저온 결합·저온 공정, 고정밀 3D via etch/금속 증착 기술, BPR/BS-PDN 설계

# 06 Key Process & System Challenges

---

## Thermal Management, Reliability & Yield

문제: 3D 적층으로 소자 밀도가 급증하면 작동시 생성되는 **열집중**(thermal hotspot)과 **방열 한계**가 시스템 신뢰성·성능에 큰 영향을 줌

신뢰성 항목: 고온 스트레스에 의한 이동도 저하, 게이트 유전체·인터페이스 열악화, 금속 확산(오염) 등이 우려

해결 방향: **칩 수준 열 모델링**·새로운 방열 구조·고열전도성 재료·**3D PDN 설계** 연구 필요

# 06 Key Process & System Challenges

---

## System & Design Implications — DTCO / STCO

**DTCO** 필요성: 소자·공정·회로를 통합 최적화하지 않으면 소자 수준 이득이 회로·칩 수준에서 사라짐

**STCO**(시스템 관점): BEOL/패키지/열솔루션까지 포함한 **전사적 최적화 필요**

간단 제안: **조기 PDK 개발·SPICE 보정·칩 수준 열·타이밍 시뮬레이션 병행**

# 06 Key Process & System Challenges

---

Recap — What matters most?

요약하면, 구조 혁신은 **전기적 이득**을 주지만 **공정**(에피택시·식각·inner-spacer 등), **3D 연결·열·신뢰성** 문제를 동시에 해결해야 상용화가 가능

# 06 Conclusions & Future Directions

## Conclusions — Core Takeaways

1. 구조적 혁신(다중 게이트 → GAA → 수직 적층/CFET)이 기하학적 스케일링의 한계를 넘는 주된 경로
2. 게이트 수 증가와 GAA 구조는 자연 스케일 길이  $\lambda$ 를 줄여 SS와 DIBL을 개선하므로 단위 면적당 성능 향상에 기여
3. CFET·3D 스택·수직 소자는 집적도(면적 이득)가 크지만, 공정·중간층 절연·열 예산·3D 인터커넥트 등 복합적 난제를 동반
4. 3D/적층 소자에서 발생하는 집적도 증가는 칩 수준의 열 문제와 신뢰성 위험을 심화시켜 혁신적 방열·시스템 설계가 필요

# 06 Conclusions & Future Directions

---

## Conclusions — Core Takeaways

궁극적으로 실용화를 위해서는 공정·소자·회로·시스템을 함께 최적화하는 DTCO/STCO 접근이 필수적

# 06 Conclusions & Future Directions

---

## Future Directions

- A. 칩-레벨 열관리 연구 — 3D 적층에서의 열 분포·방열 구조·재료 연구 및 칩·패키지 통합 설계
- B. 고선택성·저손상 채널 해방 공정(예: qALE) 및 대면적 균일화 기술 — GAA/vertical 채널 제조의 핵심
- C. inner-spacer·HKMG 통합 및 multi-VT 제어(인터페이스 dipole, 저온 ALD 등) — 기생 C/R·VT 분포 제어
- D. 3D 인터커넥트·MOL via 신뢰성 및 오염 제어 기술 — monolithic/stacked 공정의 실용성 확보
- E. DTCO/STCO 토크체인과 PDK 개발 — 소자 이득을 회로·칩 수준의 실제 이득으로 연결하기 위한 설계-공정 연계 환경 구축

Circuit / Semiconductor

# Thank you

송실대학교 전기공학부 학술 소모임 NOVA

발표자 : 김철우